

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

010777601 **Image available**

WPI Acc No: 1996-274554/ 199628

XRPX Acc No: N96-230946

Particle discharge device for e.g. ultra-thin display device - has thin film whose surface is located in deeper position from side of insulated layer in hole and includes portion of first electrode

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8115654	A	19960507	JP 94275932	A	19941014	199628 B

Priority Applications (No Type Date): JP 94275932 A 19941014

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8115654	A	22		H01J-001/30	

Abstract (Basic): JP 8115654 A

The device includes an insulated layer (15) between a first and second electrode (13,14). A hole (20) is formed from the first electrode up to the insulated layer. An exposed thin film (16) which includes a particle discharge substance is set up in the hole.

The film has its surface (16A) in a deeper position from the side of the insulated layer in the hole and includes a portion of the first electrode. A predetermined number of electrons are emitted between the first and second electrode through the hole upon applying a low voltage.

USE/ADVANTAGE - For e.g. field emission display device. Provides prolonged life with high reliability. Provides uniform emission of current.

Dwg.4/41

Title Terms: PARTICLE; DISCHARGE; DEVICE; ULTRA; THIN; DISPLAY; DEVICE; THIN; FILM; SURFACE; LOCATE; DEEP; POSITION; SIDE; INSULATE; LAYER; HOLE; PORTION; FIRST; ELECTRODE

Index Terms/Additional Words: FED

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02; H01J-031/12; H01J-031/15

File Segment: EPI

Manual Codes (EPI/S-X): V05-L01A3; V05-L05D1C

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-115654

(43)公開日 平成8年(1996)5月7日

(51)Int.Cl.* H 01 J 1/30 9/02 31/12	識別記号 Z C B C B	府内整理番号 F I	技術表示箇所
--	-------------------------------	---------------	--------

審査請求 未請求 請求項の数27 FD (全22頁) 最終頁に続く

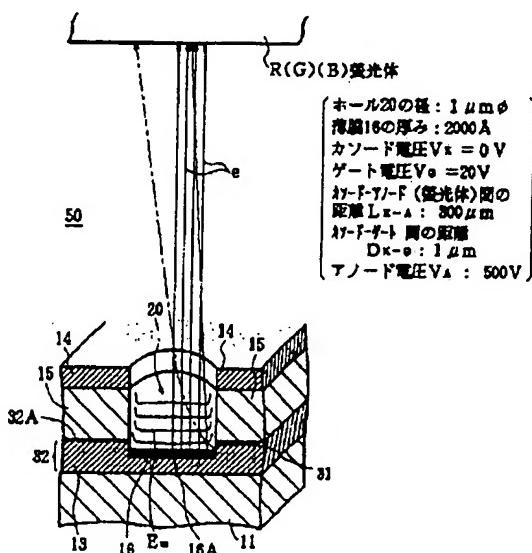
(21)出願番号 特願平6-275932	(71)出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日 平成6年(1994)10月14日	(72)発明者 中田 諭 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
	(72)発明者 根岸 英輔 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
	(74)代理人 弁理士 逢坂 宏

(54)【発明の名称】粒子放出装置、電界放出型装置及びこれらの製造方法

(57)【要約】 (修正有)

【構成】 第1の電極13と第2の電極14とを絶縁層15を介し互いに対向して設け、第2の電極、絶縁層を貫通する微小孔20を形成し、第1、第2の電極間に電圧を印加することによって電子を第1の電極側から微小孔を通じて放出するように構成している電子放出装置又はこれを組み込んだ電界放出型装置において、電子放出物質からなる薄膜16を微小孔内に露出して設け、その電子放出面16Aが第1の電極を含む電子放出構体(カソード電極13及び薄膜16からなるカソード電極部)の絶縁層側の面よりも、微小孔内で深い位置に存在する。

【効果】 電子放出能力とその方向性を良好とし、低電圧駆動を可能にして放出される電流量の均質化、高密度化を図り、しかも、高信頼性、長寿命であり、高精細、大型の極薄型ディスプレイ装置にも十分対応可能な装置を提供できる。



- 【特許請求の範囲】**
- 【請求項1】 第1の電極と第2の電極とが絶縁層を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子が前記微小孔を通して放出されるように構成されている粒子放出装置において、粒子放出物質からなる薄膜が前記微小孔内に露出して設けられ、この露出した薄膜の粒子放出面が、前記第1の電極を含む粒子放出構体の前記絶縁層側の面よりも、前記微小孔内で深い位置に存在していることを特徴とする粒子放出装置。
- 【請求項2】 粒子放出物質からなる薄膜が微小孔内のみ設けられている、請求項1に記載した粒子放出装置。
- 【請求項3】 第1の電極を含む粒子放出構体が、前記第1の電極と、この第1の電極上の粒子放出物質からなる薄膜とによって形成されている、請求項2に記載した粒子放出装置。
- 【請求項4】 第1の電極が複数層からなっている、請求項3に記載した粒子放出装置。
- 【請求項5】 複数層のうち少なくとも最下層を残して微小孔が貫通して設けられ、この微小孔の底面上に粒子放出物質からなる薄膜が、前記複数層の最上層より凹んだ位置に粒子放出面を有するように設けられている、請求項4に記載した粒子放出装置。
- 【請求項6】 第1の電極を含む粒子放出構体が、前記第1の電極と、この第1の電極に電気的に接触する非絶縁性薄膜と、この薄膜上の粒子放出物質からなる薄膜とによって形成されている、請求項2に記載した粒子放出装置。
- 【請求項7】 第1の電極に電気的に接触する非絶縁性薄膜が複数層からなっている、請求項6に記載した粒子放出装置。
- 【請求項8】 複数層のうち少なくとも最下層を残して微小孔が貫通して設けられ、この微小孔の底面上に粒子放出物質からなる薄膜が、前記複数層の最上層より凹んだ位置に粒子放出面を有するように設けられている、請求項7に記載した粒子放出装置。
- 【請求項9】 粒子放出物質からなる薄膜と、この薄膜下の薄膜とが同一材料又は同一材質からなっている、請求項6～8のいずれか1項に記載した粒子放出装置。
- 【請求項10】 互いに部分的に重なり合うように第1の電極及び第2の電極が設けられ、粒子放出物質からなる薄膜が、少なくとも、前記第1及び前記第2の電極の重なり合う領域のほぼ全域に亘って設けられかつ前記微小孔内に部分的に露出するように設けられている、請求項1に記載した粒子放出装置。
- 【請求項11】 第1の電極を含む粒子放出構体が、前記第1の電極と、粒子放出物質からなる薄膜とによって形成されている、請求項10に記載した粒子放出装置。
- 2 【請求項12】 粒子放出物質からなる薄膜が第1の電極と絶縁層との間に設けられている、請求項11に記載した粒子放出装置。
- 【請求項13】 第1の電極が粒子放出物質からなる薄膜と絶縁層との間に設けられている、請求項11に記載した粒子放出装置。
- 10 【請求項14】 第1の電極を含む粒子放出構体が、粒子放出物質からなる薄膜と、この薄膜上の非絶縁性薄膜と、この非絶縁性薄膜が電気的に接触する前記第1の電極とによって形成されている、請求項10に記載した粒子放出装置。
- 【請求項15】 少なくとも、第1及び第2の電極の重なり合う領域であって微小孔の存在しない領域において前記第1の電極が設けられている、請求項6～8及び11～14のいずれか1項に記載した粒子放出装置。
- 【請求項16】 第1の電極が格子状パターンに形成されている、請求項15に記載した粒子放出装置。
- 20 【請求項17】 粒子放出物質からなる薄膜の粒子放出面の面積が、第2の電極における微小孔の面積と同等若しくはそれ以上である、請求項1～16のいずれか1項に記載した粒子放出装置。
- 【請求項18】 互いに交差するカソード電極ラインとゲート電極ラインとが絶縁層を介して基体上に積層され、前記ゲート電極ライン及び前記絶縁層をそれぞれ貫通する微小孔が形成されていると共に、前記カソード電極ラインの構成材料よりも仕事関数が小さい電子放出物質からなる薄膜状の冷陰極が前記微小孔内に露出して設けられ、電子放出源として構成された、請求項1～17のいずれか1項に記載した粒子放出装置。
- 30 【請求項19】 粒子放出物質の仕事関数が3.0eV以下である、請求項1～18のいずれか1項に記載した粒子放出装置。
- 【請求項20】 粒子放出物質がダイヤモンドである、請求項19に記載した粒子放出装置。
- 【請求項21】 微小孔がほぼ円形である、請求項1～20のいずれか1項に記載した粒子放出装置。
- 【請求項22】 微小孔がスリット状である、請求項1～20のいずれか1項に記載した粒子放出装置。
- 40 【請求項23】 請求項1～22のいずれか1項に記載した粒子放出装置を具備する電界放出型装置。
- 【請求項24】 カソード電極ライン、ゲート電極ライン、微小孔付きの絶縁層及び前記微小孔内の薄膜状の冷陰極からなる第1のパネルと、複数色の発光体及びこれらの発光体がそれぞれ被着された電極からなる第2のパネルとによって電界放出型発光装置として構成された、請求項23に記載した境界放出型装置。
- 【請求項25】 発光体が螢光体である電界放出型ディスプレイ装置として構成された、請求項24に記載した電界放出型装置。
- 【請求項26】 基体上に第1の電極を形成する工程と、

この第1の電極を含む領域上に絶縁層を形成する工程と、この絶縁層上に第2の電極を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔を形成する工程と、この微小孔の底部に存在する層を前記絶縁層よりも深い位置まで除去する工程と、前記第2の電極上に剥離層を形成する工程と、かかる後に粒子放出物質を前記微小孔内に堆積させて前記粒子放出物質からなる薄膜を形成する工程と、前記剥離層と共にこの剥離層上の前記粒子放出物質を除去する工程とを有する、請求項1～25のいずれか1項に記載した装置の製造方法。

【請求項27】 基体上に第1の電極を形成する工程と、前記基体上に粒子放出物質からなる薄膜を形成する工程と、前記第1の電極及び前記薄膜を含む領域上に絶縁層を形成する工程と、この絶縁層上に第2の電極を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔を形成する工程と、この微小孔の底部に存在する層を前記絶縁層よりも深い位置まで除去する工程とを有する、請求項1～25のいずれか1項に記載した装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、粒子放出装置（例えば、極薄型のディスプレイ装置に使用して好適な電子放光源）、電界放出型装置（例えば、前記電子放光源を具備するディスプレイ装置）及びこれらの製造方法に関するものである。

【0002】

【従来の技術】 従来、例えば極薄型のディスプレイ装置としては、電界放出型カソードを電子放光源とする電界放出型ディスプレイ（FED：Field Emission Display）が知られている。

【0003】 公知のFEDでは、スクリーン内部に電子放光源を設け、その各画素領域内に電子放出材料からなる多数のマイクロチップを形成し、所定の電気信号に応じて対応する画素領域のマイクロチップを励起することにより、スクリーンの螢光面を発光させている。

【0004】 上記の電子放光源においては、帯状に形成された複数本のカソード電極ラインと、このカソード電極ラインの上部においてカソード電極ラインと交差して帯状に形成された複数本のゲート電極ラインとが設けられ、上記カソード電極ラインの上記ゲート電極ラインとの各交差領域がそれぞれ1画素領域として形成されている。

【0005】 従来の電子放光源によれば、具体的には図31～図33に示すように、例えばガラス材からなる下部基板101の表面上に帯状の複数本のカソード電極ライン103が形成されている。

【0006】 これらのカソード電極ライン103には各接続部103aを除いて絶縁層105が成膜され、この上に各カソード電極ライン103と交差して帯状に複数本のゲー

ト電極ライン104が形成されていて、各カソード電極ライン103と共にマトリクス構造を構成している。

【0007】 さらに、各カソード電極ライン103の接続端部103a及び各ゲート電極ライン104の接続端部104aが制御手段107にそれぞれ接続され、電気的に導通している。

【0008】 ここで、各カソード電極ライン103の各ゲート電極ライン104との各交差領域122において、絶縁層105には、カソード電極ライン103からゲート電極ライン104へ通じる孔径wの多数の円形の微細（小）孔120がカソードホールとして形成され、これらの各孔内に電界放出型カソードとしてのマイクロチップ106が数μm以下の微小サイズに設けられている。

【0009】 これらの各マイクロチップ106は、電子放出材料、例えばモリブデンからなっていて、ほぼ円錐体に形成され、それぞれカソード電極ライン103上に配されている。そして、各マイクロチップ106の円錐体の先端部は、ゲート電極ライン104に形成されている電子通過用のゲート部104bにほぼ位置している。

【0010】 このように、各カソード電極ライン103の各ゲート電極ライン104との各交差領域122には、多数のマイクロチップ106が設けられて画素領域が形成され、個々の画素領域が1つの画素（ピクセル）に対応している。

【0011】 上記のように構成された電子放出源（電界放出型カソード）においては、制御手段107により所定のカソード電極ライン103及びゲート電極ライン104を選択し、これらの間に所定の電圧を印加することによって、この印加電圧を対応する画素領域内の各マイクロチップ106に印加すると、各マイクロチップ106の先端からトンネル効果によって電子が放出される。なお、この所定の印加電圧値は、各マイクロチップ106がモリブデンからなっている場合、各マイクロチップ106の円錐体の先端部付近の電界の強さが $10^8 \sim 10^{10} V/m$ となる程度のものである。

【0012】 このとき、この電子放出源が内蔵されたディスプレイ（FED）においては、所定の画素領域を励起することによって各マイクロチップ106から放出された電子が、制御手段107によりカソード電極ライン103とアノード（螢光面パネルの透明電極）との間に印加された電圧によって更に加速され、ゲート電極ライン104とアノードとの間に形成された真空部130を通って螢光面に到達する。そして、この電子線により螢光面から可視光が放出される。

【0013】 ここで、図31においてこのディスプレイ装置の構成を説明すると、例えばR（赤）、G（緑）、B（青）の三原色の各螢光体素子がITO（Indium Tin Oxide：In及びSnの混合酸化物）等からなる透明電極100R、100G、100Bを介してストライプ状に配列されてカラー螢光面123が形成された光透過性の螢光面バ

ネル114 と、電界放出型カソードを有する電極構体115(電子放出源)が形成された背面パネル101 とがシール材等により気密に封止され、所定の真空度に保持される。

【0014】螢光面パネル114 と背面パネル101 とは、その間隔を一定に保持するために所定の高さの柱(いわゆるピラー)110 を介して封止される。

【0015】このFEDによりカラー表示を行う方法としては、選択された交差部122 の各カソードと一色の螢光体とを対応させる方法と、各カソードと複数の色の螢光体とを対応させるいわゆる色選別方法がある。この場合の色選別の動作を図34及び図35を用いて説明する。

【0016】図34において、螢光面パネル114 の内面の複数のストライプ状の透明電極100上には各色に対応するR、G、Bの螢光体が順次配列されて形成され、各色の電極はそれぞれ赤色は3 R、緑色は3 G、青色は3 Bの端子に集約されて導出されている。

【0017】対向する背面パネル101 上には、上記したようにカソード電極103 及びゲート電極104 が直交してストライプ状に設けられ、マイクロチップ先端に $10^8 \sim 10^{10}$ V/mの電界がかかるようにカソード電極103 - ゲート電極104 間に電圧を印加すると、各電極の交差部122 に形成されたマイクロチップ(電界放出型カソード)106 から電子が放出される。

【0018】一方、透明電極100(即ち、アノード電極)とカソード電極103との間には 100~1000Vの電圧を印加して、電子を加速し、螢光体を発光させる。図34の例においては、赤色螢光体Rにのみ電圧を印加して、電子を矢印eで示すように加速させた場合を示している。

【0019】このように、三端子化された各色R、G、Bを時系列で選択することによってカラー表示を行うことができる。各カソード電極列上のある一点のカソード、ゲート及びアノード(螢光体ストライプ)のNTSC方式での色選別タイミングチャートを図35に示す。

【0020】各カソード電極103 を1Hの周期で線順次駆動させるときに、各色螢光体R、G、Bに対しそれぞれ周期HのうちH/3ずつ+ hVの信号を与える一方、ゲート信号及びカソード信号をH/3周期でゲート信号として+ α V、カソード信号として- α V~- β Vを同期してそれぞれ与え、ゲートカソード間電圧V_{rr}=+2 α Vのときに電子を放出して、H/3毎に選択されるR、G、Bの各螢光体を発光させて色選別を行うことができ、これによりフルカラー表示を行うことができる。

【0021】しかしながら、本発明者が上記した電子放出源について検討を加えた結果、以下に述べるような欠点が存在することを突き止めた。

【0022】まず、図36に示すように、カソード電極103 上の微細孔120 内に配したマイクロチップ106 がほぼ絶縁層105 の厚みに亘ってほぼ円錐形に形成されているために、ゲート電極104 - カソード電極103 間に電圧を

印加した際に等電位面Ec はマイクロチップ106 の円錐面に沿って微細孔120 内に形成されることになる。

【0023】ところが、マイクロチップ106 から放出される電子eは等電位面Ec と直交して進行するので、孔120 から放出される電子eの進路は大きく振れ、その振れ角θは±30度にもなってしまう。この結果、螢光面では、電子ビームeが所定の螢光体(例えば赤色螢光体)に到達せず、不所望な螢光体(例えば、隣接する緑色螢光体)に到達し、ミスランディングを起こし易くなる。
10 これでは、目的とする色の発光が得られず、ディスプレイの性能が損なわれ、その高精細化において問題となる。

【0024】しかも、上記した電子放出源においては、各マイクロチップ106 から放出される電子の量(即ち、電流量)がばらつき、不均質なものとなり易い。このため、このようなディスプレイ装置はスクリーン上に生じる光輝点が不均質となり、非常に目障りなものとなる。

【0025】また、上記した電子放出源は、金属粒子等により、マイクロチップ106 とゲート電極ライン104 とが接続されてカソード電極ライン103 とゲート電極ライン104 とが短絡し、マイクロチップ106 が破壊される場合があることが分かった。これに加えて、ゲート電極ライン104 と螢光面114 との間の高真空領域130 に存在するイオンがマイクロチップ106 をスパッタし、ディスプレイとしての寿命を縮めることもある。

【0026】上記の短絡によるマイクロチップ106 の破壊について、図37~図40に示す製造工程で説明すると、まず図37に示すように、ガラス等からなる下部基板101 上にニオブ等を材料として厚さ約2000Å程度の導体膜を成膜し、その後、写真製版法及び反応性イオンエッチング法により、この導体膜をライン形状にパターニングしてカソード電極103 とする。
30

【0027】そして、絶縁層105(例えば、二酸化珪素)

をスパッタリング又は化学蒸着法により上記導体膜上に成膜し、この絶縁層105 上にゲート電極材料(例えば、ニオブ)を成膜し、その後、写真製版法及び反応性イオンエッチング法によりこの導体膜をカソード電極ライン103 と交差するようなゲート電極ライン104 に加工する。しかる後、ゲート電極ライン104 及び絶縁層105 を貫通する円形の微細孔120 を写真製版法及び反応性イオンエッチング法により形成する。
40

【0028】その後、図38に示すように、剥離層124(例えば、アルミニウム)を電子放出源の正面部に対して斜め方向から真空蒸着により成膜する。

【0029】そして、図39に示すように、微細孔120 中のカソード電極103 上にモリブデンを円錐形に蒸着法により堆積させ、マイクロチップ106 を形成する。このとき、剥離層124 上にモリブデン106 が堆積するが、この堆積の進行に伴って孔120 の上方が堆積モリブデンにより徐々に閉じられ、これと同時にマイクロチップ106が

円錐状に堆積する。

【0030】次いで、図40に示すように剥離層124を溶解することにより、剥離層124上のモリブデン106を剥離し、除去（リフトオフ）し、図33に示した如き構造を作製する。

【0031】しかし、このリフトオフ時等に生じた金属片125等がマイクロチップ106とゲート電極ライン104との間に付着し、これらを短絡する。このため、作動時にカソード103-ゲート104間に電圧を印加し、この電圧を上げていった場合に、マイクロチップ106は非常に高温になり、ついには耐えきれないほどの温度となる。

【0032】この結果、図41に示すように、マイクロチップ106自体と、その周りの半径数十μmに亘る領域のゲート104やカソード103までも矢印126のように溶断され、破壊を生じてしまう。これでは、かなりの領域が動作しなくなり、有効な領域が減少してしまう。

【0033】

【発明が解決しようとする課題】本発明の目的は、上記したような従来技術の欠点を解決し、電子等の放出能力とその方向性を良好とし、低電圧駆動を可能にして、放出される電流量の均質化及び高密度化を図り、しかも、高信頼性、長寿命であり、高精細、大型の極薄型ディスプレイ装置にも十分対応可能な粒子放出装置、電界放出型装置及びこれらの製造方法を提供することにある。

【0034】

【課題を解決するための手段】即ち、本発明は、第1の電極（例えば、後述のカソード電極13）と第2の電極（例えば、後述のゲート電極14）とが絶縁層（例えば、後述のSIO：層15）を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔（例えば、後述のほぼ円形又は多角形（例えはスリット状）の微細孔又はカソードホール20）が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子（特に電子）が前記微小孔を通して放出されるように構成されている粒子放出装置（例えば、電界放出型カソード）において、粒子放出物質からなる薄膜（例えば、後述のダイヤモンド薄膜16）が前記微小孔内に露出して設けられ、この露出した薄膜の粒子放出面が、前記第1の電極を含む粒子放出構体の前記絶縁層側の面よりも、前記微小孔内で深い位置に存在していることを特徴とする粒子放出装置に係るものである。

【0035】本発明による粒子放出装置は、電子の如きエネルギー粒子を放出するための微小孔において、第1の電極に接して粒子放出物質を薄膜に設けているので、第1の電極と第2の電極との間に電圧を印加した際に等電位面が上記薄膜に沿って平坦に形成されることになる。従って、この平坦な等電位面に対して直交して進行する粒子は、上記微小孔から対象物（例えば螢光体面）へかなり揃った方向性を以て進行するため、常に目

的とする対象物に到達することができ、ミスランディングを大きく減少させることができ、高精細化が可能となる。

【0036】しかも、本発明による粒子放出装置においては、微小孔内の粒子放出面が第1の電極を含む粒子放出構体（例えば、後述のカソード電極13及び薄膜16からなるカソード電極部）の絶縁層側の面よりも、微小孔内で深い位置に存在している（具体的には、カソード電極の表面より凹んでいる）ため、微小孔の中心に近い程、大きな電界が粒子放出薄膜の表面に印加されることになる。この結果、微小孔の中心に近い程、高い電流密度を示す電界放出電流を得ることができる。

【0037】但し、このとき、微小孔底部の粒子放出部の表面付近の等電位面は、粒子放出構体の絶縁層側の面と粒子放出面との段差に近い場所で、大きく曲がるために、この場所から放出された粒子は粒子放出面に沿う方向へ曲がった軌道を取ることになる。しかし、粒子放出構体の上記した段差に近い場所での電界強度は微小孔の中心部に比べてずっと小さいので、上記した段差の近傍からは粒子は放出されないか、或いは、その放出量は非常に少ない。

【0038】そして、粒子放出面の微小孔の中心付近では、等電位面が粒子放出面に対してほぼ平行になっているので、放出された粒子は粒子放出部の表面に対して垂直の方向性を以て高密度に飛行し、第2の電極に実質的に入射することなしに（第2の電極に大電流が流れ込むことなしに）放出された電流を有効に利用することができる。また、粒子は微小孔の中心部から粒子放出面に対してほぼ垂直に放出されるので、絶縁層に入射することもなく、チャージアップによる放電等の事故が生じるおそれもない。

【0039】また、上記薄膜を構成する粒子放出物質が第1の電極の構成材料よりも仕事関数の小さい物質であると、粒子の放出のために第1の電極と第2の電極との間に印加する電圧を低減することができ、低電圧駆動で必要な放出量を安定して得ることができる。

【0040】また、粒子を放出する部分を上記の薄膜としているので、この薄膜を形成する際、例えば上述した蒸着後のリフトオフによって仮に金属片が生じても、薄膜と第2の電極との間が十分離れているためにこれらの間に金属片が付着して短絡が生じることがなく、或いは、場合によっては、リフトオフを行わなくても、上記の薄膜を形成することができる。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0041】更に、粒子を放出する部分が上記薄膜であるため、マイクロチップ先端のように1点にイオンが集中することがなく、高真空領域に存在するイオンが薄膜に到達してこれをスパッタする割合が激減するから、装置の長寿命化が可能である。

【0042】本発明による粒子放出装置においては、上記した粒子放出物質からなる薄膜が微小孔内にのみ設けられていてよい。

【0043】この場合は、例えば、第1の電極を含む粒子放出構体が、前記第1の電極と、この第1の電極上の粒子放出物質からなる薄膜とによって形成されている。

【0044】また、第1の電極が複数層（異なる材料の複数層）からなっていて、これらの複数層のうち少なくとも最下層を残して微小孔が貫通して設けられ、この微小孔の底面上に粒子放出物質からなる薄膜が、前記複数層の最上層より凹んだ位置に粒子放出面を有するように設けられていてよい。

【0045】また、上記した場合とは異なり、第1の電極を含む粒子放出構体が、前記第1の電極と、この第1の電極に電気的に接触する非絶縁性（絶縁体ではない）薄膜（例えば、導体又は半導体からなる薄膜）と、この薄膜上の粒子放出物質からなる薄膜とによって形成されていてよい。

【0046】この導体又は半導体の薄膜等の非絶縁性薄膜が複数層からなっていて、これらの複数層のうち少なくとも最下層を残して微小孔が貫通して設けられ、この微小孔の底面上に粒子放出物質からなる薄膜が、前記複数層の最上層より凹んだ位置に粒子放出面を有するように設けられていてよい。

【0047】この場合、粒子放出物質からなる薄膜と、この薄膜下の導体又は半導体等の薄膜とが同一材料又は同一材質からなっていてよい。

【0048】本発明による粒子放出装置においては、互いに部分的に重なり合うように第1の電極及び第2の電極が設けられ、粒子放出物質からなる薄膜が、少なくとも、前記第1及び第2の電極の重なり合う領域のほぼ全域に亘って設けられかつ前記微小孔内に部分的に露出するように設けられていてよい。

【0049】このように構成すると、粒子放出物質の薄膜は、既述したようなマイクロホール120の形成後の蒸着によらずに、予め成膜した後に絶縁層の形成→第2の電極及び微小孔の形成といった工程を経ることができる。従って、この薄膜は容易に形成できる上に、既述したような蒸着後のリフトオフは全く不要となり、薄膜と第2の電極との間の金属片の付着による短絡が生じることがなく、しかも、たとえ別の原因で金属片が生じても薄膜と第2の電極とは十分に離れているために、やはり短絡は生じない。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0050】この場合、例えば、第1の電極を含む粒子放出構体が、前記第1の電極と、粒子放出物質からなる薄膜とによって形成されている。

【0051】そして、粒子放出物質からなる薄膜が第1の電極と絶縁層との間に設けられていてよいし、或い

は、第1の電極が粒子放出物質からなる薄膜と絶縁層との間に設けられていてよい。

【0052】また、上記した場合とは異なり、第1の電極を含む粒子放出構体が、粒子放出物質からなる薄膜と、この薄膜上の非絶縁性（絶縁体ではない）薄膜（例えば、導体又は半導体からなる薄膜）と、この非絶縁性薄膜が電気的に接触する前記第1の電極とによって形成されていてよい。

【0053】そして、少なくとも、第1及び第2の電極の重なり合う領域であって微小孔の存在しない領域において、前記第1の電極が設けられていてよい。この場合、第1の電極は微小孔の存在領域の周囲に格子状パターンに形成できる。

【0054】本発明による粒子放出装置において、粒子放出物質からなる薄膜の粒子放出面の面積が、第2の電極における微小孔の面積と同等若しくはそれ以上であると、粒子放出面積が大きくなつてその放出量を増大させ、かつ、その飛翔方向を規制することができる。

【0055】本発明による粒子放出装置は、具体的には、互いに交差する（交差領域は画素領域となる）カソード電極ラインとゲート電極ラインとが絶縁層を介して基板上に積層され、前記ゲート電極ライン及び前記絶縁層をそれぞれ貫通する微小孔が形成されていると共に、前記カソード電極ラインの構成材料よりも仕事関数が小さい電子放出物質からなる薄膜状の冷陰極が前記微小孔内に露出して設けられ、電子放出源として構成されるのが望ましい。

【0056】また、上記した粒子放出物質からなる薄膜は、粒子放出構体の面との間に一定の段差が生じるような厚みに設けられているのがよく、例えば、この段差は100Å以上あればよく、また、薄膜は300Å～1000Åの厚みを有しているのがよい。この段差及び薄膜の厚みは、上記した本発明の作用効果を有効に発揮できるよう設定するのがよく、また、エッティング量や蒸着量等によって制御可能である。

【0057】上記した粒子放出物質の仕事関数は、第1の電極の構成材料の仕事関数よりも小さいことが望ましく、3.0eV以下であるのがよく、2.0eV以下が更によい。これは、両電極（第1の電極及び第2の電極）間の印加電圧を低くし、特に数10Vでも必要な電流を得、例えばディスプレイ用として十分に動作可能となるからである。なお、第1の電極の構成材料としては、Nb（仕事関数4.02～4.87eV）、Mo（仕事関数4.53～4.95eV）、Cr（仕事関数4.5eV）等が挙げられる。

【0058】こうした粒子放出物質としては、ダイヤモンド（特にアモルファスダイヤモンド：仕事関数1.0eV以下）がよい。薄膜がアモルファスダイヤモンド薄膜である場合には、 5×10^7 V/m以下の電界の強さでディスプレイとして必要な電流を得ることができるの

で、一層の低電圧駆動が可能となる。

【0059】また、こうしたアモルファスダイヤモンド薄膜は電気的に抵抗体であるから、各微小孔内の薄膜から放出される電流量の均質化を図ることができる。そして、アモルファスダイヤモンド薄膜は化学的に不活性であり、イオンによりスピッタリングされにくいので、安定なエミッションを長い時間維持できる。

【0060】ダイヤモンド以外に使用可能な粒子放出物質としては、LaB₆（仕事関数2.66～2.76eV）、BaO（仕事関数1.6～2.7eV）、SrO（仕事関数1.25～1.6eV）、Y₂O₃（仕事関数2.0eV）、CaO（仕事関数1.6～1.86eV）、BaS（仕事関数2.05eV）、TiN（仕事関数2.92eV）、ZrN（仕事関数2.92eV）等が挙げられる。

【0061】この粒子放出物質は、既述したマイクロチップ106の構成材料であるモリブデン（仕事関数4.6eV）等に比べて仕事関数がかなり小さいことが特徴的である。なお、この仕事関数は3.0eV以下とするのが望ましいが、これは両電極間の印加電圧との相関性で決めることができ、仕事関数が小さめである場合は印加電圧を低くでき（例えば、仕事関数を2.0eV以下とすれば印加電圧は100V以下にでき）、或いは仕事関数が大きめである場合は印加電圧を高くすればよい。

【0062】本発明はまた、上記した電界放出型カソード等の電子放出源の如き粒子放出装置を具備する電界放出型装置、例えば、こうした粒子放出装置と、上記した螢光面パネルの如く粒子が入射する発光用等の装置との組み合わせで構成される電界放出型装置も提供するものである。また、放出される粒子は通常は電子であるが、必ずしも電子に限られるものではなく、他の素粒子も対象としてよい。

【0063】こうした電界放出型装置としては、カソード電極ライン、ゲート電極ライン、微小孔付きの絶縁層及び前記微小孔内の薄膜状の冷陰極からなる第1のパネルと、複数色の発光体及びこれらの発光体がそれぞれ被着された電極からなる第2のパネルとによって構成された電界放出型発光装置が挙げられる。この場合、発光体が螢光体である電界放出型ディスプレイ装置（FED）として構成することができる。

【0064】本発明による粒子放出装置及び電界放出型装置は、基体（例えば、後述のガラス基板11）上に第1の電極（例えば、後述のカソード電極13）を形成する工程と、この第1の電極を含む領域上に絶縁層（例えば、後述のSiO₂層15）を形成する工程と、この絶縁層上に第2の電極（例えば、後述のゲート電極14）を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔（例えば、後述のほぼ円形又はスリット状の微細孔又はカソードホール20）を形成する工程と、この微小孔の底部に存在する層（例えば、後述のカソード電極13）を前記絶縁層よりも深い位置まで除去する工程

と、前記第2の電極上に剥離層（例えば、後述のアルミニウム層24）を形成する工程と、しかる後に粒子放出物質（例えば、ダイヤモンド）を前記微小孔内に堆積させて前記粒子放出物質からなる薄膜（例えば、後述のダイヤモンド薄膜16）を形成する工程と、前記剥離層と共にこの剥離層上の前記粒子放出物質を除去する工程（リフトオフ）とを有する方法を経て製造するのが望ましい。

【0065】この製造方法によれば、粒子放出物質の薄膜を成膜するに際し、その薄膜の厚み分だけ堆積さればよいので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はなく、また、微小孔内の堆積膜以外に堆積した粒子放出物質を剥離層と共にリフトオフし易くなり、このリフトオフ時に仮に金属片が生じても薄膜が薄いために金属片がカソードーゲート間に接触して短絡することはない。

【0066】また、本発明による粒子放出装置及び電界放出型装置は、基体上に第1の電極を形成する工程と、前記基体上に粒子放出物質からなる薄膜を形成する工程と、前記第1の電極及び前記薄膜を含む領域上に絶縁層を形成する工程と、この絶縁層上に第2の電極を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔を形成する工程と、この微小孔の底部に存在する層（例えば、後述の薄膜16）を前記絶縁層よりも深い位置まで除去する工程とを有する方法（但し、各工程で使用若しくは形成する材質の具体名は上記したものと同じである。）を経て製造してもよい。

【0067】この製造方法によれば、粒子放出物質の薄膜を成膜するに際し、その薄膜の厚み分だけ堆積さればよいので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はないと共に、絶縁層の形成前に予め成膜しておけるため、薄膜の形成が容易となり、既述したリフトオフは全く不要であってカソードーゲート間に金属片で短絡することなく、仮に金属片が生じても薄膜が薄いために金属片による短絡はやはり生じない。

【0068】

【実施例】以下、本発明の実施例を説明する。

【0069】図1～図10は、本発明を電子放出源（電界放出型カソードを含む電極構体）及び極薄型のディスプレイ装置（FED）に適用した第1の実施例を示すものである。

【0070】本実施例によるディスプレイ装置は、図33に示したものと同様に、図1に示す電子放出源（電界放出型カソードを含む電極構体25）と、真空部を介して電子放出源に対向したアノードとなる螢光面パネルとの組み合わせによって構成され、既述したようにしてディスプレイ動作を行うものである。

【0071】電子放出源においては、その要部を縦断面で表す図1及び図3（更には、画素領域を平面的に表す図2）に示すように、例えばガラス材からなる下部基板

13

11の表面上に帯状の複数本のカソード電極ライン13が200Å程度の厚みに形成されている。

【0072】これらのカソード電極ライン13上には、各接続端部（図33の端部103aに相当）を除いて絶縁層15が厚さ1μm程度に成膜され、その上に各カソード電極ライン13と領域22で交差して帯状の複数本のゲート電極ライン14が厚さ1000Å程度に形成され、各カソード電極ライン13と共にマトリクス構造を構成している。

【0073】さらに、各カソード電極ライン13の上記接続端部及び各ゲート電極ライン14の接続端部（図34の端部104aに相当）が制御手段（図33の107と同様のもの）にそれぞれ接続され、電気的に導通している。

【0074】ここで、絶縁層15にはカソード電極ライン13からゲート電極ライン14へ通じる孔径wの多数の円形の微細（小）孔20がカソードホールとして形成されている。この微細孔20に連続して、カソード電極ライン13には深さ1000Å程度の円形の凹部30がそれぞれ形成されている。

【0075】そして、これらの各凹部30には、電界放出型カソードとしての薄膜16が1000Å以下（例えば600Å程度）の厚みに設けられている。各薄膜16とカソード電極13の上面（絶縁層15側の面）とは間には一定（例えば400Å程度）の段差31がリング状に形成されている。

【0076】これらの各薄膜16は、仕事関数がカソード電極ライン13よりも小さい電子放出材料、例えばアモルファスダイヤモンドの薄膜からなっていて、後述の方法によって微細孔16内に容易に成膜できる。

【0077】なお、螢光面パネル側の基板は、その一主面である下面部において上記の真空部を介して上記の電子放出源の主面部と対向して設けられている。この上部基板の下面部には、螢光面が塗布され、各カソード電極ライン13とそれぞれ平行な帯状の螢光面が形成されている。

【0078】上記の電子放出源においては、上記の制御手段により所定のカソード電極ライン13及びゲート電極ライン14を選択し、これらの間に所定の電圧を印加することによって、対応する画素領域内の各微細孔20内の薄膜16に所定の電界がかかると、各微細孔20内の薄膜16からトンネル効果によって電子が放出される。

【0079】このとき、上記の電子放出源が内蔵されたディスプレイ装置において、所定の画素領域を励起することによって各微細孔20内の薄膜16から放出された電子が上記の制御手段によりカソード電極ライン13とアノードである上部基板との間に印加された電圧によって更に加速され、ゲート電極ライン14と上記の上部基板との間に形成された真空部30を通って螢光面に到達する。そして、この電子線により螢光面から可視光が放出される。

【0080】ここで、図4に示すように、カソード電極ライン13上の微細孔20内に配した薄膜16が非常に薄い膜厚に形成されていてその上面16A（電子放出面）がフラ

14

ットであるために、ゲート電極14—カソード電極13間に電圧を印加した際に等電位面E₀は薄膜16の面に沿ってほぼフラットに微細孔20内に形成されることになる。

【0081】従って、薄膜16から放出される電子eは等電位面E₀と直交して進行するので、孔20から放出される電子eは進路があまり振れることなく、真空部（高真空間域）50を通して所定の螢光体（例えば赤色螢光体）に到達し、ミスランディングを起こすことはない。この結果、常に目的とする色の発光が得られ、ディスプレイの性能が向上し、その高精細化が可能となる。

【0082】しかも、上記した電子放出源においては、ゲート電極ライン14及び絶縁層15を貫通する多数の円形の微細孔20内に薄膜16の微小冷陰極が形成され、これがカソード電極ライン13と電気的に接続されていると共に、薄膜16の電子放出面16Aがカソード電極13を含む電子放出構体32（即ち、カソード電極13及び薄膜16からなるカソード電極部）の絶縁層15側の面32Aよりも、微細孔20内で段差31の分だけ深い位置に存在している（具体的には、カソード電極13の表面より凹んでいる）ため、微細孔20の中心に近い程、大きな電界が電子放出薄膜16の表面16Aに印加されることになる。この結果、微細孔20の中心に近い程、高い電流密度を示す電界放出電流を得ることができる。

【0083】但し、このとき、微細孔20の底部の電子放出部の表面16A付近の等電位面E₀は、電子放出構体32の絶縁層15側の面32Aと電子放出面16Aとの段差31に近い場所で、大きく曲がるため、この場所から放出された電子は図4中に仮想線で示すように、電子放出面16Aに沿う方向へ曲がった軌道を取ることになる。しかし、電子放出構体32の上記した段差31に近い場所での電界強度は、微細孔20の中心部に比べてずっと小さいので、上記した段差31の近傍からは電子は放出されないか、或いはその放出量は非常に小さい。

【0084】そして、電子放出面16Aの微細孔20の中心付近では、等電位面E₀が電子放出面16Aに対してほぼ平行になっているので、放出された電子は電子放出部の表面に対して垂直の方向性を以て高密度に飛行し、ゲート電極14に実質的に入射することなしに（ゲート電極に大電流が流れ込むことなしに）放出された電流を有効に利用することができる。また、電子は微細孔20の中心部から電子放出面16Aに対してほぼ垂直に放出されるので、絶縁層15に入射することもなく、チャージアップによる放電等の事故が生ずるおそれもない。

【0085】また、上記の薄膜16がアモルファスダイヤモンド等の如く仕事関数がカソード電極13よりも小さい材料からなっているので、カソード電極13—ゲート電極14間に印加する電圧を低くしても（数10V以下でも）放出される電子の量（即ち、電流量）が安定して得られる。

【0086】この場合、薄膜16が特にアモルファスダイ

ヤモンドである場合、微小冷陰極自体が抵抗体であるため、各微細孔20内の薄膜16から放出される電流量が均質化される。この結果、ディスプレイ装置のスクリーン上に生じる光輝点が均質となり、見栄えが非常に良好なものとなる。

【0087】更に、アモルファスダイヤモンド薄膜は化学的に不活性であり、真空部30に生じるイオンによってもスパッタリングされ難いので、安定なエミッションを長い時間維持できる。こうしたスパッタリングについては、薄膜16自身が薄くて微細孔20の底面に存在しているために、マイクロチップ先端のように1点にイオンが集中することなく、薄膜16はスパッタリングされ難い構造となっている。

【0088】更に、電子を放出する部分を上記の薄膜16としているので、この薄膜を形成する際、後述する蒸着後のリフトオフによって仮に金属片が生じても、薄膜16とゲート電極14との間に十分離れているためにこれらの間に金属片が付着して短絡が生じることがない。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0089】この第1の実施例においては、電子放出源の微細孔20の形状は円形だけでなく、多角形や梢円形であっても構わず、さらに1方向に伸びた溝状であってもよい（これは、以下の他の実施例でも同様）。

【0090】次に、本実施例によるディスプレイ装置を構成する電子放出源（電界放出型カソードを含む電極構体25）の製造方法の一例を図5～図10について説明する。

【0091】まず、図5に示すように、ガラス等からなる下部基板11上にニオブ、モリブデン又はクロム等の導体材料を厚さ約2000Å程度に成膜し、その後、写真製版法及び反応性イオンエッチング法（例えばC₂H₂とO₂との混合ガス使用）によりこの導体膜をライン形状に加工し、カソード電極ライン13を形成する。

【0092】次いで、図6に示すように、絶縁層15、例えば二酸化珪素（SiO₂）をスパッタリング又は化学蒸着法（CVD）によりカソード電極ライン13を含む面上に厚さ1μm程度に成膜し、更に、絶縁層15上にゲート電極材料14、例えばニオブ又はモリブデンを厚さ1000Å程度に成膜する。

【0093】次いで、図7に示すように、ゲート電極材料膜14上に露光、現像処理によりフォトマスク33を所定パターンに形成し、写真製版法及び反応性イオンエッチング法により、このゲート電極材料膜をカソード電極ライン13と交差するようなライン形状のゲート電極ライン14に加工する。

【0094】そして、ゲート電極ライン14と絶縁層15を貫通する円形の微細孔20を写真製版法及び反応性イオンエッチング法（例えば、CHF₃とCH₂F₂との混合ガス使用）により形成する。

【0095】このエッティングにおいて、レジストマスク33をそのまま用いて、更に下地のゲート電極13をライトエッティングし、図8に示すように、深さ1000Å程度の凹部30を微細孔20に連続して形成する。

【0096】なお、図7の工程の直後に、ゲート電極14をマスクにして微細孔20に面する絶縁層15をウエットエッティング（等方性エッティング：例えば、沸化アンモニウムを緩衝剤として添加したフッ酸を使用）でオーバーエッティングし、これによって微細孔20を一点鎖線のように拡張すると共に、ゲート電極14にオーバーハング部14Aを形成してもよい（但し、以下の図では省略した）。この場合には、次に述べる蒸着を良好に行える。

【0097】次いで、図9に示すように、剥離層24、例えばアルミニウム又はニッケルを電子放出源の主面部に対して斜め方向から真空蒸着により成膜する。

【0098】次いで、図10に示すように、微細孔20内の導体部（カソード電極13）の凹部30に薄膜16、例えばアモルファスダイヤモンド薄膜16の微小冷陰極を例えば化学蒸着法（CVD）により厚さ600Å程度に成膜する。

20 20 このCVDで使用する反応ガスはCH₄とH₂との混合ガス、又はCOとH₂との混合ガスであり、この反応ガスの熱分解によってダイヤモンド薄膜16を堆積させる。

【0099】次いで、剥離層24を溶解することにより、この剥離層24上に堆積した微小冷陰極材16を剥離し、除去（リフトオフ）する。これによって、図1に示した如く、微細孔20内の凹部30に冷陰極16を選択的に形成した電極構体25（電子放出源）を完成する。この冷陰極16の電子放出面16Aとカソード電極13の上面32Aとの間に、400Å程度の段差31が形成される。

30 30 【0100】このように、上記した製造方法によって、電子放出物質の薄膜16を成膜するに際し、その薄膜16の厚みは絶縁層15（或いは、図34のマイクロチップ106）に比べてずっと薄く、その厚み分は容易に堆積可能であるので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はなく、また、微細孔20内の堆積膜以外に堆積した電子放出物質を剥離層24と共にリフトオフし易くなる。

【0101】しかも、このリフトオフ時に仮に金属片が生じても薄膜16が薄いために、カソード13-ゲート14間が十分に離れており、これらの間に金属片が接触して短絡することはない。この結果、カソード13-ゲート14間の印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができる。

40 40 【0102】なお、図10に示した薄膜16の堆積時には、図7に仮想線で示したゲート電極14のオーバーハング部14Aを設けておくと、微細孔20内において堆積膜16が絶縁層15の内壁面に付着すること（従って、ゲート電極14と薄膜16が接触すること）を防止でき、薄膜16による電子放出性能を良好にできる。また、オーバーハング部14Aはあまり突出させないことによって、ゲート電極14の

機械的強度も保持できる。

【0103】図11は、本発明の第2の実施例による電子放出源（電極構体25）を示すものである。

【0104】この実施例による電子放出源は、上記の第1の実施例による電子放出源とほぼ同様の構成を有する（この電子放出源と組み合わされる螢光面パネルも同様の構成である：以下の他の実施例でも同様）が、カソード電極ライン13が材料もしくは材質の異なる2層以上の薄膜（ここでは、2層：タンクステンシリサイド又はタンクステンからなる上層13a、モリブデンからなる下層13b）から構成されていることが異なっている。

【0105】即ち、ゲート電極ライン14と絶縁層15とカソード電極部32のうちの上層13aとをそれぞれ貫通する円形の微細孔20が形成され、この微細孔20の底部に電子放出薄膜16が形成されている。この薄膜16の上面16Aとカソード電極部32の上面32Aとの間には上記した段差31が形成されている。

【0106】このように、カソード電極13を上層13aと下層13bとの積層体で形成すると、電子放出を行う微細孔20の底部の電子放出部薄膜16の表面16Aとこの電子放出薄膜16の外側のカソード上層13a（又は電子放出構体32）の表面32Aとの段差31の大きさを、上層のカソード電極薄膜13aの膜厚及び電子放出薄膜16の膜厚によって制御することができる。

【0107】換言すれば、カソード電極薄膜13aを均一な膜厚に成膜し、かつ、その直下のカソード電極薄膜13bに対して選択比の良いエッティングガス（又はエッティング液）を用いて、微細孔20の部分だけカソード電極薄膜13aをエッティングで除去し、更に、電子放出薄膜16を均一の膜厚に形成すれば、微細孔20の底部の電子放出薄膜16の表面16Aと電子放出構体32のカソード上層13aの表面32Aとの段差31を広い領域に亘って均一にすることができる。

【0108】この結果、広い領域に亘って、均一な電界を各微細孔20の底部の電子放出薄膜16の表面16Aに印加することができ、均一な電流密度を得ることができる。

【0109】そして、上記した第1の実施例と同様に、電子放出薄膜16の表面16A付近の等電位面はほぼ電子放出薄膜16の表面と平行になるので、放出された電子は、電子放出薄膜16の表面16Aに対してほぼ垂直方向に揺って飛行する。

【0110】また、微細孔20の底部の電子放出薄膜16の表面16Aが電子放出構体32の表面32Aから凹んだ（即ち、より深い位置にある）構造をしているため、微細孔20の中心部に最大の電圧がかかることになり、これによって電子は主として微細孔20の中心部から放出され、放出された電子を効率良く微細孔20から引き出すことができると共に、ゲート電極14や絶縁層15に電子が入射することなく、放電等の事故の問題がなくなる。

【0111】上記の薄膜16がアモルファスダイヤモンド 50

からなる場合、上述したように低電圧駆動が可能となり、また、上記の薄膜16自体が抵抗体であるから、各微細孔20内の電子放出薄膜16の表面16Aから放出される電流量が均質化される。さらに、アモルファスダイヤモンド薄膜16は化学的に不活性であり、スパッタリングされ難いので、安定なエミッションを長い時間維持できる。

【0112】この第2の実施例においても、電子放出源の微細孔20の形状は円形だけでなく、多角形や橢円形であっても構わはず、さらに、1方向に伸びた溝状であつてもよい。

【0113】図12及び図13は、本発明の第3の実施例による電子放出源（電極構体25）を示すものである。

【0114】この実施例による電子放出源は、上記した第1の実施例による電子放出源と基本的には同様の構成を有するが、カソード電極ライン13'の1画素に対応する領域が格子状構造であり、さらに、この格子状のカソード電極ライン13'に接してこの上に導体もしくは半導体の薄膜18が形成されていることが異なっている。カソード電極ライン13'の格子のメッシュは任意の形にすることができるが、好ましくは長方形もしくは正方形である。

【0115】即ち、格子状構造を有するモリブデンのカソード電極ライン13'の上部にアルミニウム、シリコン等の薄膜18が形成されていて、ゲート電極ライン14と絶縁層15を貫通し、図7及び図8で述べた工程と同様にして薄膜18の上部がエッティングで除去され、円形の微細孔20が格子状のカソード電極13の内側にそれぞれ1個もしくは複数個形成されている。そして、微細孔20の底部に電子放出薄膜16が、その表面16Aが薄膜18の表面より凹んでいるように形成される。

【0116】この場合、薄膜18は導体もしくは半導体からなり、また、カソード電極ライン13'と電気的に接しているので、カソード電極13と同電位となり、カソード電極として機能することができる。

【0117】この第3の実施例においても、冷陰極薄膜16によって、動作時に等電位面がフラットとなり、電子が安定して所定の方向に放出されること、冷陰極薄膜16がアモルファスダイヤモンド薄膜である場合、低電圧駆動が可能であると共に、冷陰極薄膜自体が抵抗体であるために各微細孔20の冷陰極薄膜16から放出される電流量が均質化されること、アモルファスダイヤモンド薄膜は化学的に不活性であって、スパッタリングされにくく、安定なエミッションを長い時間維持できること、また、薄膜16と電子放出構体32との段差31によって薄膜16の中心部側での電界によって高密度で方向性の良い電子放出が可能であることは、上述した第1の実施例と同様である。

【0118】しかも、この実施例では、カソード電極ライン13'が格子状構造であるため、カソード導体13'と微細孔20との間に十分な距離をとることができ、仮に金

金属粒子等が微細孔20に入り込んでカソード電極ライン13' とゲート電極ライン14とが短絡したとしても、薄膜18の抵抗破壊を防ぐことができる場合がある。これは、ゲート電極ライン14とカソード電極ライン13'との間の薄膜18をシリコン等で形成すると、この薄膜18が十分な長さ分存在し、この薄膜部分による電圧降下が生じて電界が緩和されるからである。

【0119】図14及び図15は、本発明の第4の実施例による電子放出源(電極構体25)をそれぞれ示すものである。

【0120】この実施例による電子放出源は、上記した第3の実施例による電子放出源とほぼ同様のパターン構成を有するが、薄膜18が材料もしくは材質が異なる金属又は半導体の2層以上の薄膜(ここでは、2層:アルミニウム層18a、シリコン層18b)から形成されていることが異なっている。

【0121】即ち、カソード電極ライン13'に接して、導体もしくは半導体の薄膜18aと18bと積層体からなる層18が形成され、ゲート電極ライン14と絶縁層15と薄膜18aとを貫通した円形の微細孔20がゲート電極ライン14の網目の内側にそれぞれ1個もしくは複数個形成されている。そして、微細孔20の底部に電子放出薄膜16が、その表面16Aが薄膜18aの表面32Aより凹んでいるように形成される。

【0122】この場合、薄膜18aは導体もしくは半導体からなり、またカソード電極ライン13'と電気的に接しているので、カソード電極と同電位となり、カソード電極として機能することができる。

【0123】このように、導体もしくは半導体層18を2層18aと18bとの積層体で形成し、微細孔20の底部の電子放出薄膜16の表面16Aを電子放出構体32の上面32Aより凹んだ構成とすれば、薄膜18aの表面32Aと電子放出薄膜16の表面16Aとの段差31を薄膜18aの膜厚及び電子放出薄膜16の膜厚によって制御することができる。

【0124】換言すれば、薄膜18aを均一な膜厚に成膜し、かつその直下の薄膜18bに対して選択比の高いエッティングを薄膜18aに対して行い、更に電子放出薄膜16を膜厚が均一になるように形成すれば、電子放出を行う微細孔20の底部の電子放出薄膜16の表面16Aと電子放出構体32の上面32Aとの段差31を広い領域に亘って均一にすることができる。

【0125】この結果、広い領域に亘って均一な電界を各微細孔20の底部の電子放出薄膜16の表面16Aに印加することができ、均一な電流密度を得ることができる。

【0126】この第4の実施例においても、冷陰極薄膜16によって、動作時に等電位面がフラットとなり、電子が安定して所定の方向に放出されること、冷陰極薄膜16がアモルファスダイヤモンド薄膜である場合、低電圧駆動が可能であると共に、冷陰極薄膜自体が抵抗体であるために各微細孔20の冷陰極薄膜16から放出される電流量

が均質化されること、アモルファスダイヤモンド薄膜は化学的に不活性であって、スパッタリングされにくく、安定なエミッションを長い時間維持できること、また、薄膜16と電子放出構体32との段差31によって薄膜16の中心部側での電界によって高密度で方向性の良い電子放出が可能であることは、上述した第1の実施例と同様である。

【0127】しかも、この実施例では、カソード電極ライン13'が格子状構造であるため、カソード導体13'と

10 微細孔20との間に十分な距離をとることができ、仮に金属粒子等が微細孔20に入り込んでカソード電極ライン13' とゲート電極ライン14とが短絡したとしても、薄膜18の抵抗破壊を防ぐことができる場合がある。これは、ゲート電極ライン14とカソード電極ライン13'との間の薄膜18をシリコン等で形成すると、この薄膜18が十分な長さ分存在し、この薄膜部分による電圧降下が生じて電界が緩和されるからである。

【0128】図16は、本発明の第5の実施例による電子放出源(電極構体25)をそれぞれ示すものである。

20 【0129】この実施例による電子放出源は、上記した第3の実施例による電子放出源とほぼ同様のパターン構成を有するが、薄膜18が基板11とカソード電極ライン13'との間に設けられている点で異なる。

【0130】即ち、この電子放出源によれば、格子状構造を有するカソード電極ライン13'と基板11との間に薄膜18が設けられ、微細孔20の存在領域を囲むようにその周囲に設けられている。そして、ゲート電極ライン14及び絶縁層15を貫通して円形の微細孔20が形成されており、この微細孔20に薄膜16が露出し、電子放出構体32の上面32Aより凹んでいる点は、上述したものと同様である。

【0131】従って、この実施例でも、上記の第3の実施例と同様の効果を得ることができる。

【0132】図17は、本発明の第6の実施例による電子放出源(電極構体25)を示すものである。

【0133】この実施例による電子放出源は、上記の第1の実施例等による電子放出源とほぼ同様の構成を有するが、微細孔20の形状がスリット状であることが異なっている。

40 【0134】即ち、本実施例による電子放出源においては、ゲート電極ライン14及び絶縁層15を貫通して多数のスリット状の微細孔20が形成され、これらの微細孔20内に薄膜16の微小冷陰極が形成されてカソード電極ライン13と電気的に接続されている。

【0135】従って、本実施例では、上記した各実施例と同様の効果が得られる上に、微細孔20がスリット状であることによって、これに特有の効果も得られる。即ち、微細孔20はスリット状であるが、微小冷陰極の薄膜16の表面での電界強度は上述した円形の微細孔の場合とほとんど等しいので、ほぼ同一電圧で駆動できると共に

に、このスリット状の微細孔20は、円形の微細孔の場合と比較して、エミッション領域（電子放出面積）が大きいので、同一電圧で駆動しても、より大きな電流密度を得ることができる。

【0136】図18～図25は、本発明の第7の実施例による電子放出源（電極構体25）を示すものである。

【0137】本実施例による電子放出源（ディスプレイ装置）は、図1～図3に示した第1の実施例のものと基本的には同様に構成されているが、微細孔20内に部分的に露出する冷陰極薄膜16がカソード電極ライン13の全域上にはほぼ同一パターンに（ゲート電極ラインの接続端部を除いて）或いはカソード電極とゲート電極との交差領域22を含めてカソード電極ライン13を被覆するように形成されていることが異なっている。

【0138】ここでは、薄膜16が5000Å以下（例えば2000Å）の厚みに設けられており、かつ、各微細孔20の底部において深さ100Å以上（例えば400Å）の段差31を有する凹部30が形成されている。

【0139】そして、この薄膜16は、仕事関数がカソード電極ライン13よりも小さい電子放出材料、例えばアモルファスダイヤモンドの薄膜からなっていて、後述の方法によって容易に成膜できる。

【0140】この実施例によれば、図19に示すように、カソード電極13上の微細孔20内に露出した薄膜16が非常に薄い膜厚に形成されていてその上面16Aがフラットであるために、ゲート電極14～カソード電極13間に電圧を印加した際に等電位面E₁は薄膜16の面に沿ってほぼフラットに微細孔20内に形成されることになる。

【0141】従って、薄膜16から放出される電子eは等電位面E₁と直交して進行するので、孔20から放出される電子eは進路があまり振れることなく、真空部（高真空間域）30を通して所定の螢光体（例えば赤色螢光体）に到達し、ミスランディングを起こすことはない。この結果、常に目的とする色の発光が得られ、ディスプレイの性能が向上し、高精細化が可能になる。

【0142】しかも、上記した電子放出源においては、ゲート電極ライン14及び絶縁層15を貫通する多数の円形の微細孔20内に薄膜16の微小冷陰極が露出して形成され、これがカソード電極ライン13と電気的に接続されていると共に、薄膜16の電子放出面16Aがカソード電極13を含む電子放出構体32（即ち、カソード電極13及び薄膜16からなるカソード電極部）の絶縁層15側の面32Aよりも、微細孔20内で段差31の分だけ深い位置に存在している（具体的には、カソード電極13の表面より凹んでいる）ため、微細孔20の中心に近い程、大きな電界が電子放出薄膜16の表面16Aに印加されることになる。この結果、微細孔20の中心に近い程、高い電流密度を示す電界放出電流を得ることができる。

【0143】但し、このとき、微細孔20の底部の電子放出部の表面16A付近の等電位面E₁は、電子放出構体32

の絶縁層15側の面32Aと電子放出面16Aとの段差31に近い場所で、大きく曲がるため、この場所から放出された電子は図19中に仮想線で示すように、電子放出面16Aに沿う方向へ曲がった軌道を取ることになる。しかし、電子放出構体32の上記した段差31に近い場所での電界強度は、微細孔20の中心部に比べてずっと小さいので、上記した段差31の近傍からは電子は放出されないか、或いはその放出量は非常に小さい。

【0144】そして、電子放出面16Aの微細孔20の中心付近では、等電位面E₁が電子放出面16Aに対してほぼ平行になっているので、放出された電子は電子放出部の表面に対して垂直の方向性を以て高密度に飛行し、ゲート電極14に実質的に入射することなしに（ゲート電極に大電流が流れ込むことなしに）放出された電流を有効に利用することができる。また、電子は微細孔20の中心部から電子放出面16Aに対してほぼ垂直に放出されるので、絶縁層15に入射することもなく、チャージアップによる放電等の事故が生ずるおそれもない。

【0145】また、上記の薄膜16がアモルファスダイヤモンド等の如く仕事関数がカソード電極13よりも小さい材料からなっているので、カソード電極13～ゲート電極14間に印加する電圧を低くしても（数10V以下でも）放出される電子の量（即ち、電流量）が安定して得られる。

【0146】この場合、カソード電極ライン13が冷陰極薄膜16の微小冷陰極に被覆され、ゲート電極ライン14及び絶縁層15を貫通する円形の微細孔20が形成されているが、薄膜16が特にアモルファスダイヤモンドである場合、冷陰極自体が抵抗体であるため、各微細孔20内の薄膜16から放出される電流量が均質化される。この結果、ディスプレイ装置のスクリーン上に生じる光輝点が均質となり、見栄えが非常に良好なものとなる。

【0147】更に、アモルファスダイヤモンド薄膜は化学的に不活性であり、マイクロチップ先端のように1点にイオンが集中することはなく、真空部30に生じるイオンによってもスパッタリングされ難いので、安定なエミッションを長い時間維持できる。こうしたスパッタリングについては、薄膜16自身が薄くて微細孔20の底面に存在しているために、薄膜16はスパッタリングされ難い構造となっている。

【0148】更に、電子を放出する部分を上記の薄膜16としているので、この薄膜16とゲート電極14との間が十分離れており、これらの間に金属片が付着して短絡が生じることがない。しかも、後述の製造方法から明らかのように、薄膜16は既述したリフトオフではなく、予め基板11上に成膜しておけるから、リフトオフ時に生じる金属片の問題もなくなる。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0149】次に、本実施例によるディスプレイ装置を

23

構成する電子放出源（電界放出型カソードを含む電極構体25）の製造方法の一例を図21～図25について説明する。

【0150】まず、図21に示すように、ガラス等からなる下部基板11上にニオブ、モリブデン又はクロム等の導体材料を厚さ約2000Å程度に成膜し、その後、写真製版法及び反応性イオンエッティング法（例えばC₄F₈とO₂との混合ガス使用）によりこの導体膜をライン形状に加工し、カソード電極ライン13を形成する。

【0151】次いで、図22に示すように、冷陰極薄膜16、例えばダイヤモンド薄膜を化学蒸着法（CVD）等によりカソード電極ライン13上に厚さ2000Å程度に成膜する。このCVDで使用する反応ガスはCH₄とH₂との混合ガス、又はCOとH₂との混合ガスであり、この反応ガスの熱分解によってダイヤモンド薄膜16を堆積させる。

【0152】その後、写真製版法及び反応性イオンエッティング法により、冷陰極薄膜16をバーニングし、カソード電極ライン13の接続端部を除いて冷陰極薄膜16がカソード電極ライン13を被覆するライン形状にする。或いは、この冷陰極薄膜16は、カソード電極ライン13とゲート電極ライン14との交差領域22、即ち画素領域のみにおいてカソード電極ライン13を被覆するように形成してもよい。

【0153】次いで、図23に示すように、絶縁層15、例えば二酸化珪素（SiO₂）をスパッタリング又は化学蒸着法（CVD）により冷陰極薄膜16を含む面上に厚さ1μm程度に成膜し、更に、絶縁層15上にゲート電極材料14、例えばニオブ又はモリブデンを厚さ2000Å程度に成膜する。

【0154】次いで、図24に示すように、写真製版法及び反応性イオンエッティング法により、このゲート電極材料膜をカソード電極ライン13と交差するようなライン形状のゲート電極ライン14に加工する。そして、ゲート電極ライン14と絶縁層15を貫通する円形の微細孔20を写真製版法及び反応性イオンエッティング法（例えば、CH₂F₂とCH₄F₂との混合ガス使用）により形成する（図中の33はフォトレジストマスクである）。

【0155】このエッティングにおいて、レジストマスク33をそのまま用いて、更に下地の薄膜16をライトエッティングし、図25に示すように、深さ400Å程度の凹部30を微細孔20に連続して形成する。これによって、微細孔20内において薄膜16にはその上面32Aとの間に400Å程度の段差31が形成される。

【0156】次いで、フォトレジスト33を除去し、図18に示した如く、カソード電極ライン13を被覆し、微細孔20内に露出した微小冷陰極16を有する電極構体25（電子放出源）を完成する。

【0157】このように、上記した製造方法によって、電子放出物質の薄膜16を成膜するに際し、その薄膜16の

24

厚み分だけ堆積させればよいので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はない、また、絶縁層15の形成前に予め成膜しておけるため、薄膜の形成が容易となり、既述したリフトオフは全く不要であってカソード-ゲート間が金属片で短絡することではなく、仮に金属片が生じても薄膜が薄いためにカソード13-ゲート14間が十分離れており、これらの間に金属片が接触して短絡を生じることはない。この結果、カソード13-ゲート14間の印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0158】また、薄膜16は、既述したマイクロチップ106のように微小孔120内への蒸着によることなしに通常の成膜技術で形成できるので、その工程が容易となり、カソード13-ゲート14間の絶縁分離も良好となる。

【0159】図26は、本発明の第8の実施例による電子放出源（電極構体25）を示すものである。

【0160】この実施例による電子放出源は、上記の第7の実施例による電子放出源とほぼ同様の構成を有するが、カソード電極ライン13が電子放出薄膜16の上部に形成された構造であることが異なっている。

【0161】即ち、微細孔20を除いて電子放出薄膜16がカソード電極ライン13に被覆されており、ゲート電極ライン14と絶縁層15及びカソード電極ライン13を貫通する円形の微細孔20が形成されている。

【0162】これによって、電子放出を行う微細孔20の底部の電子放出薄膜16の表面16Aと電子放出構体32の上面32Aとの段差31をカソード電極ライン13の膜厚によって制御することができる。

【0163】換言すれば、カソード電極ライン13を均一な膜厚に成膜し、かつその直下の電子放出薄膜16に対して選択比の良いエッティングをカソード電極薄膜13に対し行って微細孔20を形成すれば、微細孔20の底部の電子放出薄膜16の表面16Aと電子放出構体32のカソード電極表面32Aとの段差31を広い領域に亘って均一にすることができる。

【0164】この結果、広い領域に亘って均一な電界を各微細孔20底部の電子放出薄膜16の表面16Aに印加することができ、均一な電流密度を得ることができる。

【0165】この第8の実施例においても、冷陰極薄膜16によって、動作時に等電位面がフラットとなり、電子が安定して所定の方向に放出されること、冷陰極薄膜16がアモルファスダイヤモンド薄膜である場合、低電圧駆動が可能であると共に、冷陰極薄膜自体が抵抗体であるために各微細孔20の冷陰極薄膜16から放出される電流量が均質化されること、アモルファスダイヤモンド薄膜は化学的に不活性であって、スパッタリングされにくく、安定なエミッションを長い時間維持できること、また、薄膜16と電子放出構体32との段差31によって薄膜16の中心部側での電界によって高密度で方向性の良い電子放出

が可能であることは、上述した第7の実施例と同様である。

【0166】図27は、本発明の第9の実施例による電子放出源（電極構体25）を示すものである。

【0167】この実施例による電子放出源は、上記した第7の実施例による電子放出源と基本的には同様の構成を有するが、カソード電極ライン13'の1回素に対応する領域が図13に示したと同様の格子状構造であり、さらに、この格子状のカソード電極ライン13'に接してこの上に薄膜16が形成されていることが異なっている。カソード電極ライン13'の格子のメッシュは任意の形にすることができるが、好ましくは長方形もしくは正方形である。

【0168】即ち、格子状構造を有するカソード電極ライン13'の上部に薄膜16が形成されていて、ゲート電極ライン14と絶縁層15を通し、図24及び図25で述べた工程と同様にして薄膜16の上部がエッチングで除去され、円形の微細孔20が格子状のカソード電極13'の内側にそれぞれ1個もしくは複数個形成されている。そして、微細孔20の底部に電子放出薄膜16が、その表面16Aがその上面32Aより凹んでいるように形成される。

【0169】この第9の実施例においても、冷陰極薄膜16によって、動作時に等電位面がフラットとなり、電子が安定して所定の方向に放出されること、冷陰極薄膜16がアモルファスダイヤモンド薄膜である場合、低電圧駆動が可能であると共に、冷陰極薄膜自身が抵抗体のために各微細孔20の冷陰極薄膜16から放出される電流量が均質化されること、アモルファスダイヤモンド薄膜は化学的に不活性であって、スパッタリングされにくく、安定なエミッションを長い時間維持できること、また、薄膜16と電子放出構体32との段差31によって薄膜16の中心部側での電界によって高密度で方向性の良い電子放出が可能であることは、上述した第7の実施例と同様である。

【0170】しかも、この実施例では、カソード電極ライン13'が格子状構造であるため、カソード導体13'と微細孔20との間に十分な距離をとることができ、仮に金属粒子等が微細孔20に入り込んでカソード電極ライン13'とゲート電極ライン14とが短絡したとしても、薄膜16の抵抗破壊を防ぐことができる。これは、ゲート電極ライン14とカソード電極ライン13'との間に冷陰極薄膜16が十分な長さ分存在し、この薄膜部分による電圧降下が生じて電界が緩和されるからである。

【0171】図28は、本発明の第10の実施例による電子放出源（電極構体25）を示すものである。

【0172】この実施例による電子放出源は、上記した第7の実施例による電子放出源とほぼ同様のパターン構成を有するが、アルミニウムやシリコン等の導体もしくは半導体の薄膜18が電子放出を行う薄膜16の上部に形成された構造であることが異なっている。そして、この薄

膜18の上面32Aと薄膜16との間には段差31を有する凹部30が形成されている。

【0173】即ち、微細孔20を除いて電子放出薄膜16が薄膜18に被覆されており、ゲート電極ライン14と絶縁層15及び薄膜18を貫通する円形の微細孔20が形成されている。

【0174】これによって、微細孔20の底部の電子放出薄膜16の表面16Aと電子放出構体32の薄膜18の表面32Aとの段差31を薄膜18の膜厚によって制御することができる。

【0175】換言すれば、薄膜18を均一な膜厚に成膜し、かつその直下の電子放出薄膜16に対して選択比の高いエッチングを薄膜18に対して行えば、電子放出を行う微細孔20の底部の電子放出薄膜16の表面16Aと電子放出構体32の表面32Aとの段差31を広い領域に亘って均一にすることができます。

【0176】この結果、広い領域に亘って均一な電界を各微細孔20の底部の電子放出薄膜16の表面16Aに印加することができ、均一な電流密度を得ることができる。その他、上記の第7の実施例と同様の効果を得ることができます。

【0177】図29は、本発明の第11の実施例による電子放出源（電極構体25）を示すものである。

【0178】この実施例による電子放出源は、上記の第10の実施例による電子放出源とほぼ同様の構成を有するが、電子が引き出される微細孔20の底部の電子放出薄膜16の表面16Aの面積が微細孔20の最上部にあるゲート電極14での開口面積（これは、上記の第10の実施例のものと同じ）よりも大きくなっている。

【0179】このように、微細孔20の底部の電子放出薄膜16の表面16Aが電子放出構体32の表面32Aから段差31分だけ凹んだ構造をしているので、微細孔20の中心部に最大の電圧がかかり、電子は主として微細孔20の中心部から放出される。この結果、放出された電子を効率良く微細孔20から引き出すことができ、ゲート電極14や絶縁層15に電子が入射することができなく、放電等の事故の問題がなくなる。その他、上記の第10の実施例と同様の効果を得ることができます。

【0180】しかも、電子放出薄膜16の表面16Aの面積がゲート電極14での開口面積よりも大きければ、1つの微細孔20当たり、電子放出薄膜16の表面16Aにおいて微細孔20の中心部と同等の強度の電界が印加される領域（即ち、電子が放出される領域の面積）が拡がるため、より高い電流密度が得られる。但し、微細孔20の底部の電子放出薄膜16の面積を大きくし過ぎると、却ってゲート電極14に流入する電子の数が増大するので、適当な大きさにする必要がある。

【0181】図30は、本発明の第12の実施例による電子放出源（電極構体25）を示すものである。

【0182】この実施例による電子放出源は、上記の第

9の実施例による電子放出源とほぼ同様の構成を有するが、微細孔20の形状がスリット状であることが異なっている。

【0183】即ち、本実施例による電子放出源においては、格子状のカソード電極ライン13の各格子の内側においてゲート電極ライン14及び絶縁層15を貫通して多数のスリット状の微細孔20が形成され、これらの微細孔20内に薄膜16の微小冷陰極が形成されてカソード電極ライン13と電気的に接続されている。

【0184】従って、本実施例では、上記した第9の実施例と同様の効果が得られる上に、微細孔20がスリット状であることによって、これに特有の効果も得られる。即ち、微細孔20はスリット状であるが、微小冷陰極の薄膜16の表面での電界強度は上述した円形の微細孔の場合とほとんど等しいので、ほぼ同一電圧で駆動できると共に、このスリット状の微細孔20は、円形の微細孔の場合と比較して、エミッション領域（電子放出面積）が大きいので、同一電圧で駆動しても、より大きな電流密度を得ることができる。

【0185】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。

【0186】例えば、上述した薄膜16と電子放出構体32との段差31、又は薄膜16の厚み及び凹部30の深さは、本発明の目的が達成される範囲内で様々に変化させることができる。また、こうした薄膜16を含む電子放出構体32の作製方法や各部の材質、形状等も種々変更できる。

【0187】材質については、例えば図14の例においては薄膜16と薄膜18bとを共に同一材料又は同一材質で形成することも可能であり、例えば共にモリブデンで形成したり、或いは場合によってはアモルファスダイヤモンド等の仕事関数の小さい抵抗体で形成してもよい。

【0188】電子放出構体32の層構成やパターンについても、例えば図14の例においては、カソード電極ライン13'を薄膜18a上に設けてよいし、また、例えば図28や図29の例においては、カソード電極ライン13を図13や図30の如き格子状パターンに設けてよい。

【0189】電子放出薄膜16等の成膜方法は種々変化させてよい。成膜方法には、上述したCVDだけでなく、真空蒸着法（物理蒸着法）、レーザアブレーション法（レーザ光照射によるエッティング現象を利用した堆積法：ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能）、スパッタ法（例えばArガスを用いたスパッタリング：ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能）等がある。

【0190】また、上述した凹部30の形成方法や形成段階は上述したものに限られることはなく、例えば微細孔20を形成する以前に、予め対応する位置をエッティングして凹部30を形成することができる。

【0191】また、上述した電子放出源は、FEDに好

適であるが、対向する螢光面パネルの構造や各部のパターン及び材質等は上述したものに限られず、また、その作製方法も種々採用できる。

【0192】なお、上述した電子放出源の用途は、FED又はそれ以外のディスプレイ装置に限定されることではなく、真空管（即ち、カソードから放出される電子流をゲート電極（グリッド）によって制御し、增幅又は整流する電子管）に使用したり、或いは、カソードから放出される電子を信号電流として取り出すための回路素子（これは、上述したFEDの螢光面パネルに光電変換素子を取付け、螢光面パネルの発光パターンを光電変換素子で電気信号に変換する光通信用の素子も含まれる。）等にも応用可能である。

【0193】
【発明の作用効果】本発明によれば、上述した如く、第1の電極と第2の電極とが絶縁層を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子が

20 前記第1の電極側から前記微小孔を通して放出されるように構成されている粒子放出装置において、粒子放出物質からなる薄膜が前記微小孔内に露出して設けられているので、第1の電極と第2の電極との間に電圧を印加した際に等電位面が上記薄膜に沿って平坦に形成されることになる。従って、この平坦な等電位面に対して直交して進行する粒子は、上記微小孔から対象物（例えば螢光体面）へかなり揃った方向性を以て進行するため、常に目的とする対象物に到達することができ、ミスランディングを大きく減少させることができ、常に高精細化が可能なとなる。

30 【0194】しかも、微小孔内の粒子放出面が第1の電極を含む粒子放出構体の絶縁層側の面よりも、微小孔内で深い位置に存在しているため、微小孔内の中心に近い程、大きな電界が粒子放出薄膜の表面に印加されることになる。この結果、微小孔の中心に近い程、高い電流密度を示す電界放出電流を得ることができる。

【0195】そして、粒子放出面の微小孔の中心付近では、等電位面が粒子放出面に対してほぼ平行になっているので、放出された粒子は粒子放出部の表面に対して垂直の方向性を以て高密度に飛行し、第2の電極に実質的に入射することなしに（第2の電極に大電流が流れ込むことなしに）放出された電流を有効に利用することができる。また、粒子は微小孔の中心部から粒子放出面に対してほぼ垂直に放出されるので、絶縁層に入射することもなく、チャージアップによる放電等の事故が生ずるおそれもない。

【0196】また、上記薄膜を構成する粒子放出物質が第1の電極の構成材料よりも仕事関数の小さい物質であると、粒子の放出のために第1の電極と第2の電極との間に印加する電圧を低減することができ、低電圧駆動で

必要な放出量を安定して得ることができる。

【0197】また、粒子を放出する部分を上記の薄膜としているので、この薄膜を形成する際、例えば上述した蒸着後のリフトオフによって仮に金属片が生じても、薄膜と第2の電極との間が十分離れているためにこれらの間に金属片が付着して短絡が生じることがない。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0198】更に、粒子を放出する部分が上記薄膜であるため、マイクロチップ先端のように1点にイオンが集中することではなく、高真空領域に存在するイオンが薄膜に到達してこれをスパッタする割合が激減するから、装置の長寿命化が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例による電子放出源の概略断面図である。

【図2】同電子放出源の一部分の拡大平面図である。

【図3】図1の一部分の拡大図である。

【図4】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

【図5】同電子放出源の製造工程の一段階を示す概略断面図である。

【図6】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図7】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図8】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図9】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図10】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

【図11】本発明の第2の実施例による電子放出源の概略断面図である。

【図12】本発明の第3の実施例による電子放出源の概略断面図である。

【図13】同電子放出源の一部分の平面図である。

【図14】本発明の第4の実施例による電子放出源の概略断面図である。

【図15】図14の一部分の拡大図である。

【図16】本発明の第5の実施例による電子放出源の概略断面図である。

【図17】本発明の第6の実施例による電子放出源の一部の平面図である。

【図18】本発明の第7の実施例による電子放出源の概略断面図である。

【図19】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

【図20】図18の一部分の拡大図である。

【図21】同電子放出源の製造工程の一段階を示す概略断面図である。

面図である。

【図22】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図23】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図24】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図25】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

10 【図26】本発明の第8の実施例による電子放出源の概略断面図である。

【図27】本発明の第9の実施例による電子放出源の概略断面図である。

【図28】本発明の第10の実施例による電子放出源の一部分の概略拡大断面図である。

【図29】本発明の第11の実施例による電子放出源の一部分の概略拡大断面図である。

【図30】本発明の第12の実施例による電子放出源の一部分の平面図である。

20 【図31】従来の電子放出源を適用したディスプレイ装置の一部分の分解断面斜視図である。

【図32】同電子放出源の一部分の拡大断面斜視図である。

【図33】同電子放出源の概略断面図である。

【図34】同ディスプレイ装置におけるR、G、B三端子の切り換えによる色選別を説明するための一部分の概略断面図である。

【図35】同色選別時のタイミングチャートである。

【図36】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

30 【図37】同電子放出源の製造工程の一段階を示す概略断面図である。

【図38】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図39】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図40】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

【図41】同電子放出源の製造工程において溶断が生じる状況を示す概略断面図である。

40 【符号の説明】

11 . . . 下部基板

13 . . . カソード電極ライン

14 . . . ゲート電極ライン

15 . . . 絶縁層

16 . . . 薄膜

16A . . . 電子放出面

20 . . . 微細孔（カソードホール）

22 . . . 交差領域

24 . . . 剥離層

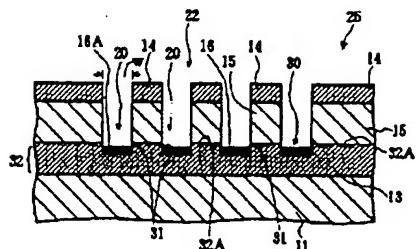
31

32

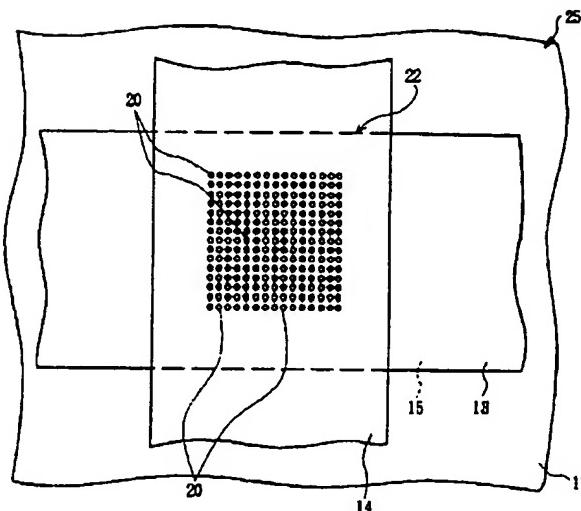
- 25・・・電子放出源（電極構体）
 30・・・凹部
 31・・・段差
 32・・・電子放出構体

- 32A・・・上面
 e・・・電子
 E_s・・・等電位面
 R、G、B・・・各色の螢光体

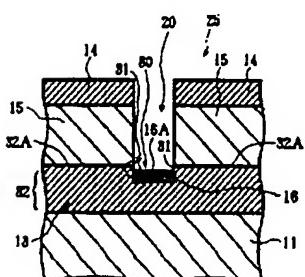
【図1】



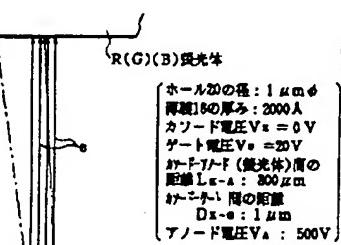
【図2】



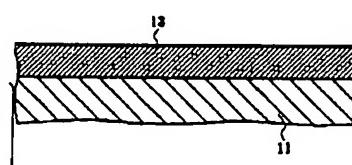
【図3】



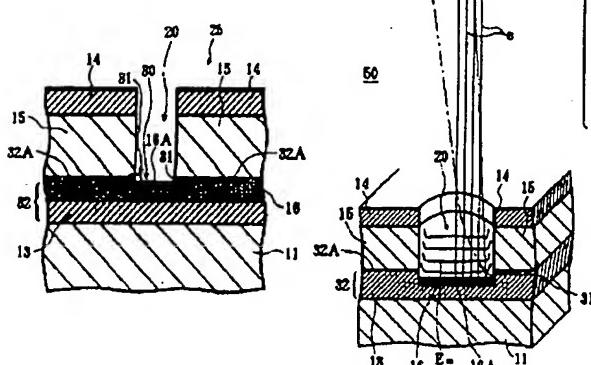
【図4】



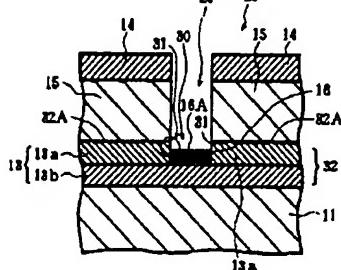
【図5】



【図20】



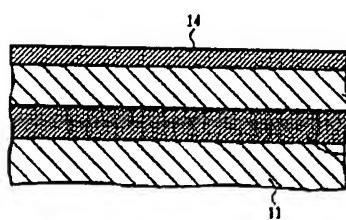
【図11】



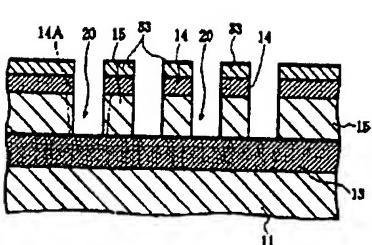
(18)

特開平8-115654

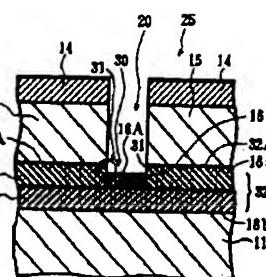
【図6】



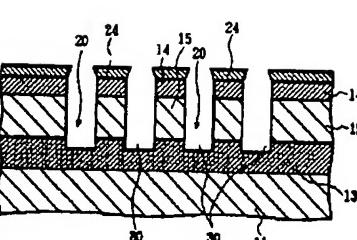
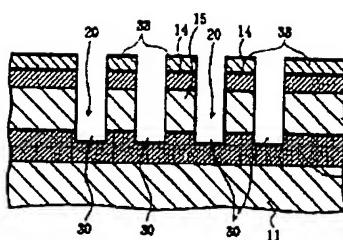
【図7】



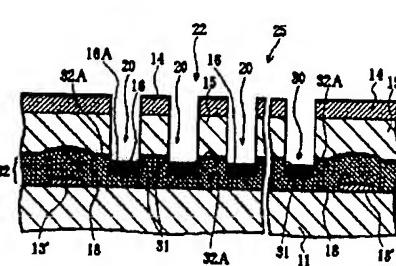
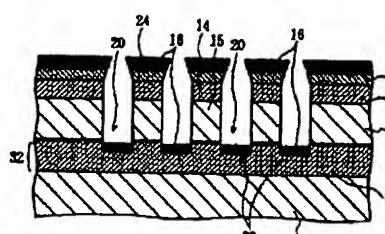
【図15】



【図8】

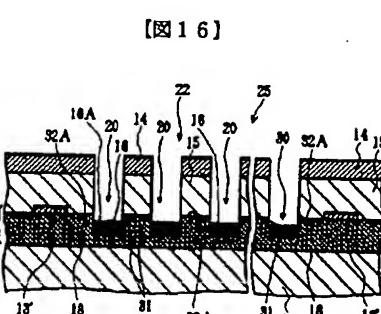
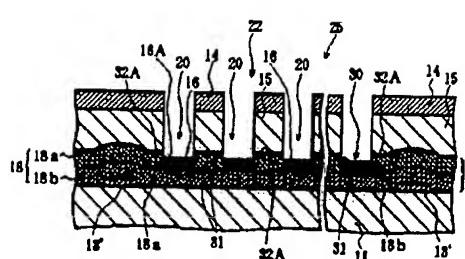


【図10】

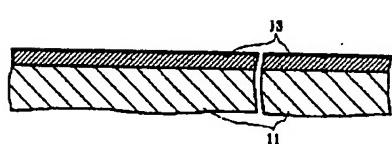


【図12】

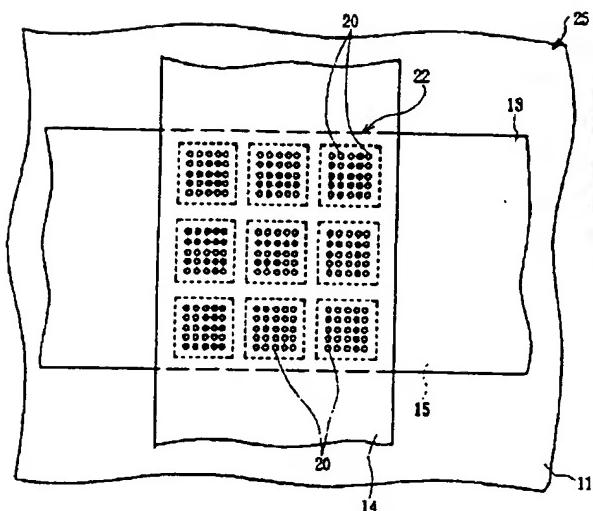
【図14】



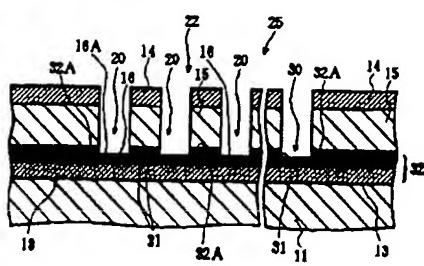
【図16】



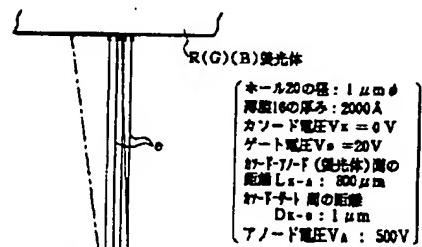
【図13】



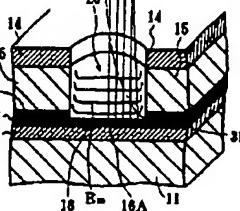
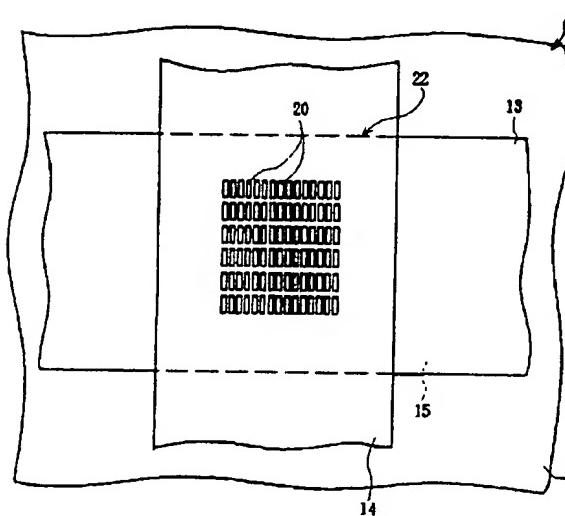
【図18】



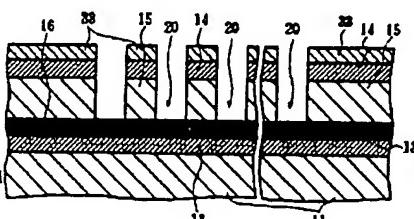
【図19】



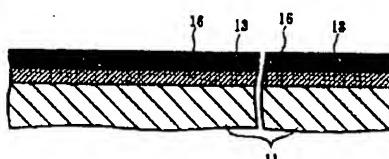
【図17】



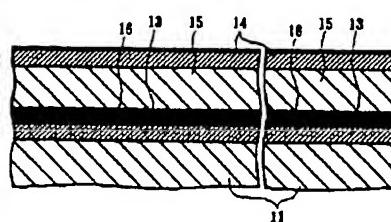
【図24】



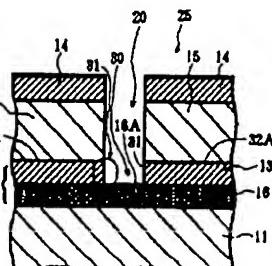
【図22】



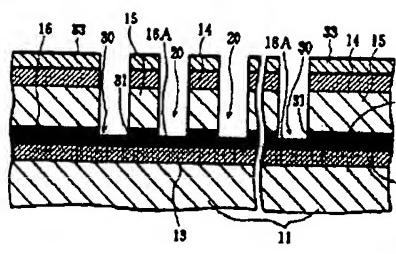
【図23】



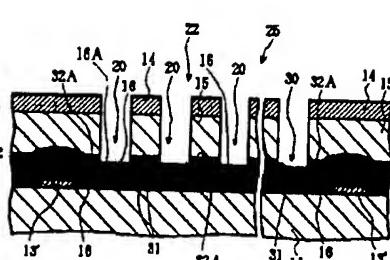
【図26】



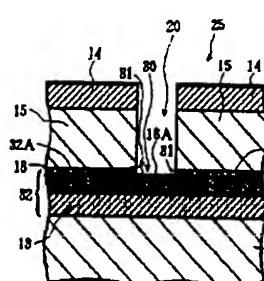
[图25]



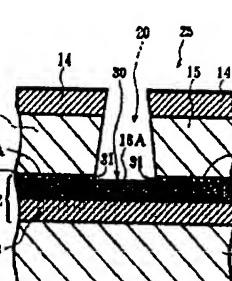
〔图27〕



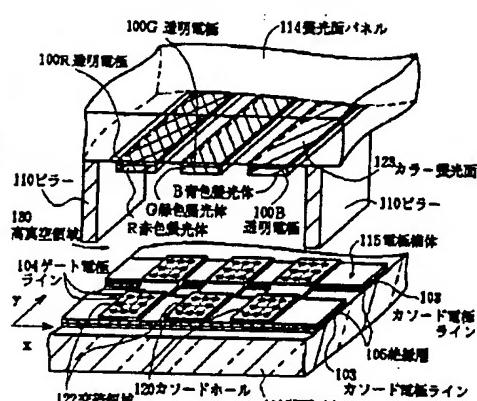
[图28]



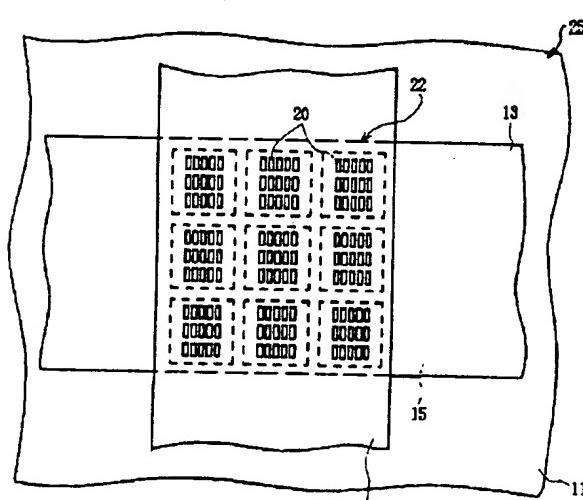
[图29]



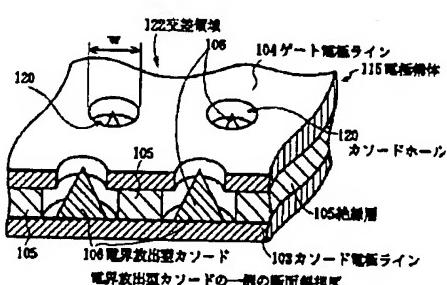
〔図31〕



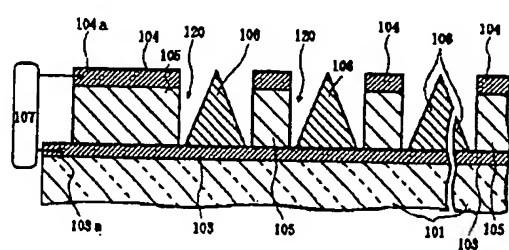
[图3-01]



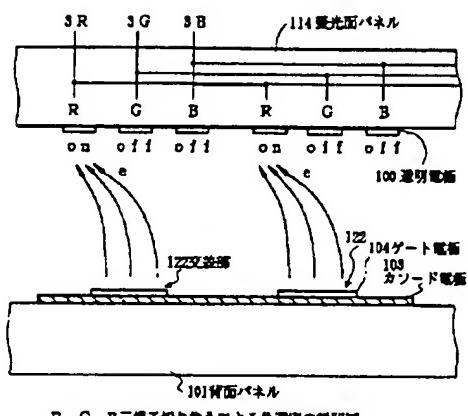
(图3-2)



[图33]

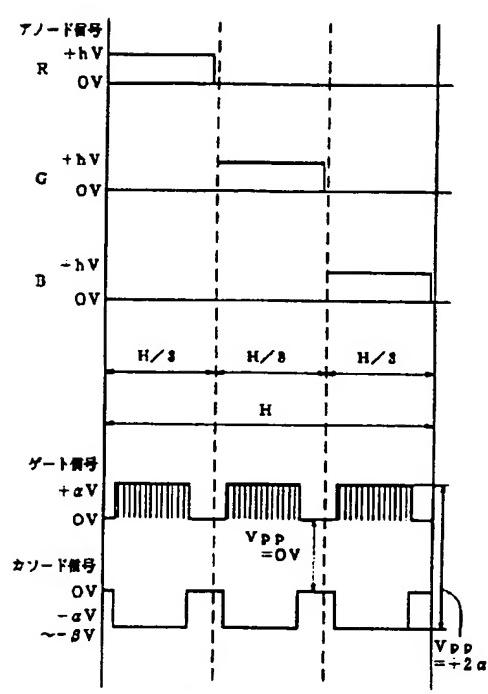


【図34】

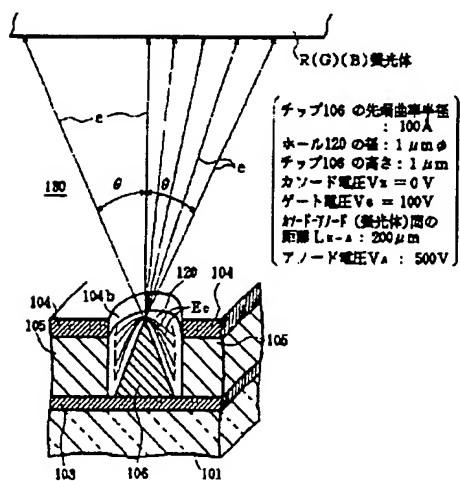


R、G、B三極子切り換えによる色選別説明図

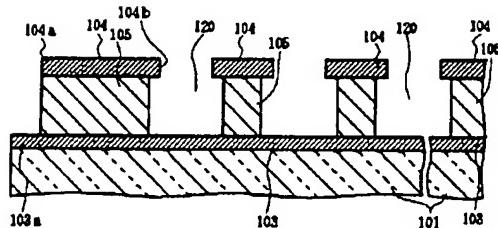
【図35】



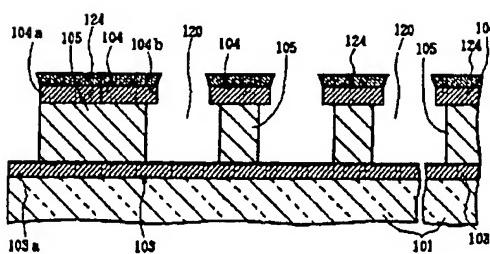
【図36】



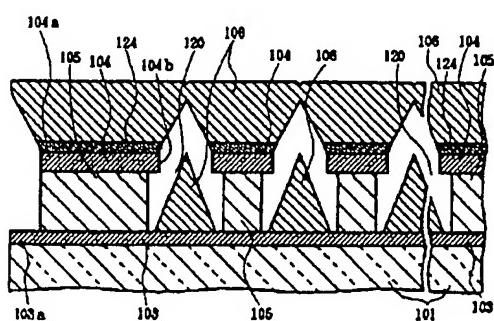
【図37】



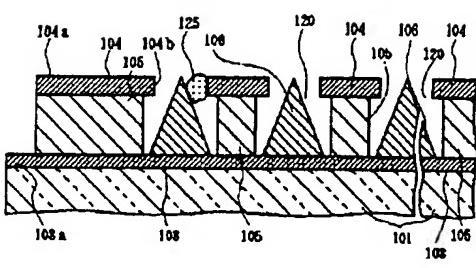
【図38】



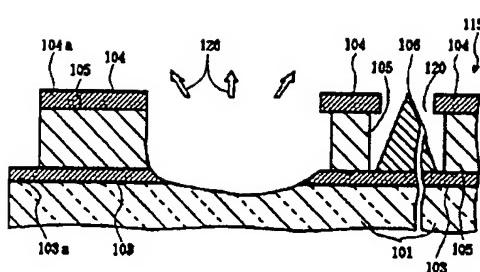
【図39】



【図40】



【図41】



フロントページの続き

(51) Int.Cl.⁶
H 01 J 31/15

識別記号 庁内整理番号
C

F I

技術表示箇所